

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-314204

(43)Date of publication of application : 25.10.2002

(51)Int.Cl.

H01S 5/343

H01L 21/205

H01L 33/00

(21)Application number : 2001-117530

(71)Applicant : RICOH CO LTD

(22)Date of filing : 16.04.2001

(72)Inventor : MIKI TAKESHI
IWATA HIROKAZU
SARAYAMA SHOJI**(54) p-TYPE SUPERLATTICE STRUCTURE AND ITS MANUFACTURING METHOD, AND GROUP III NITRIDE SEMICONDUCTOR ELEMENT AND LIGHT EMITTING ELEMENT THEREOF****(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a p-type superlattice structure which has no surface deterioration and as-grown low resistance, and its manufacturing method, as well as a high-performance group III nitride semiconductor element and a semiconductor light emitting element.

SOLUTION: When manufacturing an $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{Al}_y\text{Ga}_{1-y}\text{N}$ superlattice structure wherein at least one layer of a superlattice structure that is formed by laminating n times a group III nitride semiconductor layer represented by general formulae, $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($1 \geq x > 0$) and $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ($1 > y \geq 0$) (where, $i=1 \dots n$), is doped with p-type impurities, it is subjected to crystal growth in an atmosphere containing hydrogen, and then it is cooled in an atmosphere made of only nitrogen material or containing at least nitrogen material to lower temperature from the crystal growth temperature.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

Best Available Copy

THIS PAGE BLANK (USPTO)

果、工程増加のコスト及びアニール工程に要する設備等
のコストを要し、III族窒化物半導体及びそれを利用し
た半導体素子の製造コストの増加を招く。また活性化ア
ニールにより得られたp型領域においても、p型半導体の
不純物濃度が深く活性化率が低い。キャリア濃度の
高い領域を得ることは難しい。AlGaInは、GaNより
大きなバンドギャップを持つため、p型半導体の不純物
濃度が深くなり不純物の活性化率が下がる。このため低
抵抗なp型AlGaIn膜を得ることは難しい。加えて、
AlGaIn層をレーザー素子のクラッド層に用いる場合
には、キャリア及び光の閉じ込め効果の点から、高Al
組成のAlGaIn層を用いる必要があるが、Al組成
比が大さくなくする程クラックを生じ易く、クラッド層とし
て十分な厚さのAlGaIn膜を成長させることは難しい。

【0004】特許第2540791号公報には、III族
窒化物半導体のp型不純物が水素により不活性化される
問題を解決する技術として、窒素等の不活性ガス雰囲気
中でアニールしてアクセプターを活性化させる技術が示
されている。この方法によれば、気相法でサファイア基
板上にp型不純物をドーパした膜を成長し、窒素雰囲気
下、400℃以上でアニールすることによりアクセプター
が活性化するとされている。また、特開第8-1252
2号公報によれば、結晶成長後の冷却雰囲気を含
水素を含む雰囲気や不活性ガス雰囲気とすることによ
り、低抵抗な膜が得られるとしている。しかしなが
ら、p型不純物が単独ドーパされたIII族窒化物半導体
では、上記熱処理、又は、成長後の冷却雰囲気による
活性化は低抵抗の何れの方法によりp型不純物を活性化し
ても、 10^{17}cm^{-3} のオーダーでキャリア濃度
は得られていない。特に熱処理を行うものは、不活性
ガス雰囲気中で高抵抗に導かれることにより、窒化物半
導体素子からの窒素の解離が進み、表面抵抗が上がるなど
特性劣化の問題がある。

【0005】III族窒化物半導体にp型不純物とn型不
純物を同時にドーピングする方法に関する技術を開示した
特開第10-101496号公報によれば、p型不純物
の活性化の上限は、Mgに代表されるp型不純物を単独
ドーピングしようとしたために発生するとしている。Mgの
ドーピング濃度が 10^{19}cm^{-3} を超えるとGa位置を占
めていたMgが格子間位置に移りドーパとなり、このド
ーナートとなったMgがGa位置のアクセプターのMgを相
替る補償機構が働く。その解決方法として、p型不純
物であるMg又はBeと同時にn型不純物であるSi又
はOを2:1の比率でドーピングすれば、p型不純物2原子
とn型不純物1原子よりなるクラスタを形成し、アク
セプターの取り込み位置が安定化するとされている。クラ
スタを構成するため取り込まれるドーパ1原子分の補
償効果も含め、1つのクラスタが形成されることによ

り1つの安定なアクセプターが得られるとしている。し
かしながら、p型不純物であるMgとn型不純物である
Siを同時にドーパした場合には、Mgの取り込みサイト
は安定化するが、MO-CVD法で作製した膜中では、
取り込まれた水素によりMgが不活性化されており、低
抵抗化するためには何らかの活性化処理が必要であると
いう問題がある。

【0006】特開第10-154829号公報には、p
型不純物と酸素を同時にドーピングする技術が開示されて
いる。p型不純物と酸素を同時にドーピングすることによりp型
不純物はGa位置に入り易くなるが、成長後は、as
grownで低抵抗化せず、低抵抗化には活性化アニ
ールを必要とする。アニール後の酸素を同時にドーパした
膜は、単独ドーパしたアニールした膜よりも高いキャリア
濃度を得ることができるとしている。しかしながら、同
時にドーパした膜を不活性ガス中でアニールした場合に
は、膜中の水素の排出による活性化は認められ、ア
ニールによる表面劣化や、膜表面の水素濃度が高いこと
などの原因によりp型不純物と窒化物半導体表面との接合
抵抗は増大する。従って、未だ同時ドーピングによるp型不
純物の取り込みサイトの安定化を最大限生かした不純物
の活性化方法は得られていない。

【0007】p型AlGaInの低抵抗化及びクラック発
生に対する技術としては、特開第11-191638号
公報にAlGaIn/GaN超格子層による低抵抗クラ
ッド層とデバイスの技術が開示されており、AlGaInと
GaNの何れか一方にp型不純物をドーピングすることによ
り、低抵抗のp型AlGaIn/GaN超格子層が得られ
るとしている。また、超格子構造を取ることににより、容
易に半導体レーザ素子のクラッド層に必要な厚さを得
ることが出来るとしている。p型AlGaIn/GaN超
格子層が低抵抗化する理由は、次のように説明されてい
る。即ち、AlGaIn層にp型ドーパし、GaIn層をア
ンドープとした場合には、GaIn層は高品質の膜が得ら
れる。キャリアの移動度の大きくなる。高濃度のキャリアが
存在する層とキャリアの移動度の大きくなる層が交互にある
ことにより、キャリアの濃度が大きくかつ移動度の大き
な超格子構造が形成される。逆にGaInにp型ドー
パし、AlGaInをアンドープとした場合は、AlGaIn
膜をトンネル電流が流れる程度の厚さに設定すれば、p
型GaInは比較的に容易に高濃度のキャリアが得られ、
AlGaInに比べて、ことから、p型GaIn層のキャリア
はAlGaIn層をトンネル電流によって流れ、結果とし
てAlGaIn/GaN超格子層は低抵抗のp型を示す。
しかしながら、p型AlGaIn/GaN超格子は、as
grownでは、水素によるp型不純物の不活性化に
より高抵抗となり、低抵抗化にはアニール工程を必要と
する。アニール工程を経た前述の超格子は、超格子の界
面の急峻性や不純物の拡散の問題、超格子層間の熱応力
による膜質の劣化、表面劣化等の問題を抱えている。

【0010】
【発明が解決しようとする課題】本発明は、表面劣化の
ない、as grownで低抵抗な、p型超格子構造と
その製造方法の提供、並びに高抵抗のIII族窒化物半導
体素子及び半導体発光素子の提供を目的とする。特に、
アニールによる表面劣化のない高品位かつ低抵抗なp型

【0008】前記p型AlGaIn/GaN超格子層をクラ
ッド層に用いた近接半導体レーザ素子の技術が、
特開第11-191638号公報に開示されている。こ
の素子の構造を図7に基づき説明すると、サファイア基
板上に、低抵抗GaInバッファ層2、高抵抗のアンドー
プGaInバッファ層3、SiO₂マスク20'による
選択成長アンドープGaIn層20、n-GaNコンタ
クト層4、n-In_{0.1}Ga_{0.9}Nクラッド層2、
1、n-Al_{0.2}Ga_{0.8}N/GaN超格子層2
クラッド層22、アンドープAl_{0.05}Ga_{0.95}Nn
側ガイド層23、アンドープIn_{0.01}Ga_{0.99}
N活性層6、p型Al_{0.2}Ga_{0.8}Npキャップ層
24、アンドープAl_{0.01}Ga_{0.99}N側ガイ
ド層25、p型Al_{0.2}Ga_{0.8}N/GaN超格子
層26、p型GaInコンタクト層27が順次
積層され、エッチングにより、ストライプ幅4μmのリ
ン形状が形成され、n型電極30、p型電極31、S
iO₂絶縁層32及びn型電極パッド33が形成されてい
る。この素子は、室温において閾値電流密度2.0kA
/cm²、閾値電圧4.0V、発光波長368nmの順
発振が確認され、1000時間以上の寿命であること
が示されている。

【0009】しかしながら、上記超格子を用いた近接外
半導体レーザ素子によれば、AlGaIn/GaN超
格子構造の低抵抗化は認められるが、p型電極をAlGa
In/GaN超格子構造面に形成するには至らず、p型
GaInコンタクト層上に形成している。p型GaIn層を
コンタクト層に用いると、クラッド層から染み出した光
がコンタクト層に導かれ、ビーム形状を悪化させると
共に、発振閾値が上昇する。また、現状では、デバイス
のエピタキシャル成長終了後にp型層の活性化アニール
を行っているため、クラッド層に用いているAlGaIn
/GaN超格子構造では、アニールにより界面の急峻性
やドーピングプロファイルが悪化し、その結果、クラ
ッド層のキャリア及び光の閉じ込め効率の低下が生じる。
更に、デバイスの積層構造全体が、アニールによる層間
の熱応力の影響に導かれており、膜質の劣化による素子
抵抗の上昇や、高出力動作時の寿命等の問題が生じる。
抵抗の上昇や、高出力動作時の寿命等の問題が生じる。
また、不活性ガス雰囲気での活性化アニールは、p型G
aNの表面劣化を生じ、直上に形成されたp型電極の低
抵抗化を妨げている。以上の要因により、現状の近接外
半導体レーザ素子は、駆動電圧及び発振閾値が高く、
高出力かつ長寿命の素子が得られない等の問題を抱えて
いる。

【0010】
【発明が解決しようとする課題】本発明は、表面劣化の
ない、as grownで低抵抗な、p型超格子構造と
その製造方法の提供、並びに高抵抗のIII族窒化物半導
体素子及び半導体発光素子の提供を目的とする。特に、
アニールによる表面劣化のない高品位かつ低抵抗なp型

AlGaIn/GaN超格子構造又はp型AlGaIn
/GaN超格子構造、及びそれらを低コストで作製する
方法の提供を目的とする。更に、光とキャリアの閉じ込
めと電極形成の容易さを併せ持つ、低コストな、高品位
かつ低抵抗のp型AlGaIn/GaN又は高品位
GaIn/GaN超格子構造の提供を目的とする。更に、
低電圧駆動が可能で信頼性の高い半導体素子、並びに低
電圧駆動が可能で低閾値であり、温度特性に優れ、信頼
性の高い可視及び紫外半導体発光素子の提供を目的とす
る。

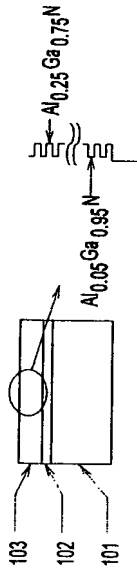
【0011】上記課題は、次の1)～13)の発明（以
下、本発明1～13という）によって解決される。

1) 一般式 $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ ($1 \geq x > 0$)と $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ ($1 > y \geq 0$)
の積層構造を有するIII族窒化物半導体層をn回
積層して形成された超格子構造の少なくとも一方の層に
p型不純物をドーパした $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ /
 $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ 超格子構造の作製方法。
2) 水素を含む雰囲気中で結晶成長させた後、窒素原料のみか
らなるか又は少なくとも窒素原料を含む雰囲気中で冷却し
結晶成長温度から降温させることを特徴とするp型Al
 $\text{Ga}_{1-x}\text{In}_z\text{N}$ / $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ 超格子構造の作製方法。
3) 前記超格子構造の冷却雰囲気を窒素原料のみか
らなるか又は少なくとも窒素原料を含む雰囲気中で冷却し
結晶成長温度から降温させることを特徴とするp型Al
 $\text{Ga}_{1-x}\text{In}_z\text{N}$ / $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ 超格子構造の作製方法。
4) 一般式 $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ ($1 \geq x > 0$)と $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ ($1 > y \geq 0$)
の積層構造を有するIII族窒化物半導体層をn回
積層して形成された超格子構造の少なくとも一方の層にp
型不純物をドーパした $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ /
 $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ 超格子構造の作製方法。
5) 前記III族窒化物半導体層の厚さを0.5
μm以上とすることを特徴とするp型Al
 $\text{Ga}_{1-x}\text{In}_z\text{N}$ / $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ 超格子構造の作製方法。

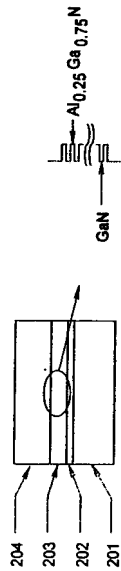
6) 前記超格子構造上に形成されるIII族窒化物半導
体層構造の結晶成長後の冷却雰囲気を、窒素原料のみ
からなるか又は少なくとも窒素原料を含む雰囲気中
に冷却することを特徴とする4)又は5)記載のp型Al
 $\text{Ga}_{1-x}\text{In}_z\text{N}$ / $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ 超格子構造
の作製方法。
7) 前記超格子構造の厚さを0.5
μm以上とすることを特徴とするp型Al
 $\text{Ga}_{1-x}\text{In}_z\text{N}$ / $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ 超格子構造
の作製方法。
8) 前記超格子構造の厚さを0.5
μm以上とすることを特徴とするp型Al
 $\text{Ga}_{1-x}\text{In}_z\text{N}$ / $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ 超格子構造
の作製方法。
9) 前記超格子構造の厚さを0.5
μm以上とすることを特徴とするp型Al
 $\text{Ga}_{1-x}\text{In}_z\text{N}$ / $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ 超格子構造
の作製方法。
10) 前記超格子構造の厚さを0.5
μm以上とすることを特徴とするp型Al
 $\text{Ga}_{1-x}\text{In}_z\text{N}$ / $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ 超格子構造
の作製方法。
11) 前記超格子構造の厚さを0.5
μm以上とすることを特徴とするp型Al
 $\text{Ga}_{1-x}\text{In}_z\text{N}$ / $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ 超格子構造
の作製方法。
12) 前記超格子構造の厚さを0.5
μm以上とすることを特徴とするp型Al
 $\text{Ga}_{1-x}\text{In}_z\text{N}$ / $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ 超格子構造
の作製方法。
13) 前記超格子構造の厚さを0.5
μm以上とすることを特徴とするp型Al
 $\text{Ga}_{1-x}\text{In}_z\text{N}$ / $\text{Al}_{1-x}\text{Ga}_{1-y}\text{In}_z\text{N}$ 超格子構造
の作製方法。

30 n型電極
31 p型電極
32 SiO₂絶縁層
33 p電極パッド
20' SiO₂選択成長マスク

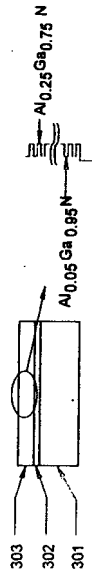
【図1】



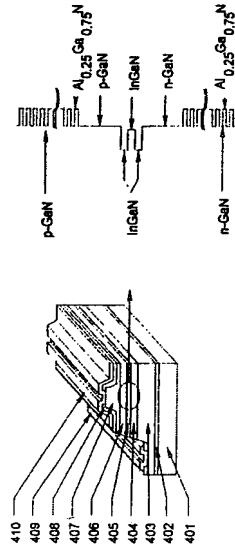
【図2】



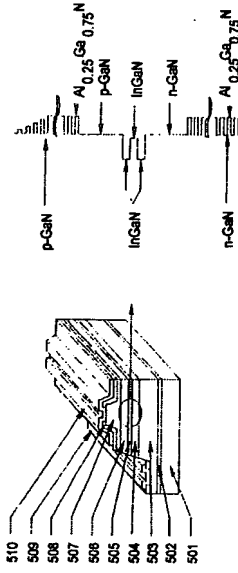
【図3】



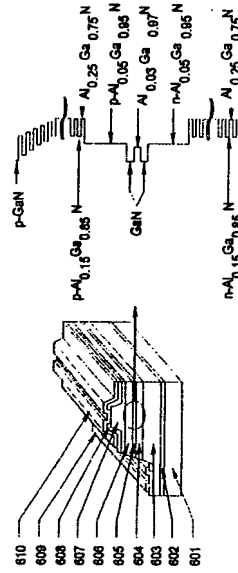
【図4】



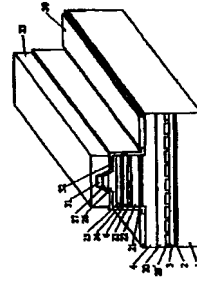
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 血山 正二
東京都大田区中原1丁目3番6号 株式会社リコー内

Fターム(参考) 5F041 AA21 CA05 CA34 CA40 CA49
CA57 CA65 CA73 CA77
5F045 AA04 AB17 AC08 AC12 AC15
AC19 CA12 DA54 EE13 EE18
5F073 AA11 AA13 AA45 AA71 AA74
CA07 CB05 CB07 CB19 DA05
DA35 EA23 EA29

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)